

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-156554

(43)Date of publication of application : 08.06.2001

(51)Int.Cl.

H03F 1/32

H03F 1/02

H03F 1/34

H03F 3/24

H03M 3/02

(21)Application number : 2000-309898

(71)Applicant : MA-COM EUROTEC

(22)Date of filing : 10.10.2000

(72)Inventor : BURTON DAVID PHILIP
HEANEY EUGENE PATRICK
NAGLE PIERCE JOSEPH

(30)Priority

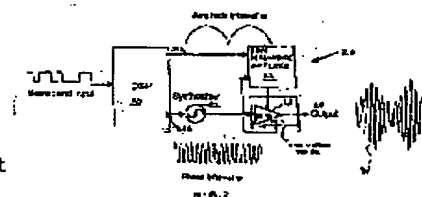
Priority number : 1999 99119900 Priority date : 08.10.1999 Priority country : EP

(54) SYSTEM AND METHOD FOR TRANSMITTING DIGITAL INFORMATION BY USING INTERLEAVED DELTA MODULATION

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method and a system for linearizing a power amplifier.

SOLUTION: A transmitter that directly modulates a high frequency carrier accompanied with a composite base band waveform is provided with a programmable device that totally generates amplitude and phase information corresponding to the composite base band waveform, a signal generator that generates the high frequency carrier whose phase is in response to the phase information generated by the programmable device, a plurality of delta modulators and an amplifier that is coupled with the signal generator and receives the high frequency carrier accompanied with the phase information. Each of the delta modulators is operated to sample an error signal at a time interval shifted from that of all other delta modulators to generate a pulse stream totally approximating an amplitude signal. The voltage supplied to the amplifier is adjusted according to approximated amplitude information expressed by the pulse stream generated by the delta modulator. The supplied voltage is adjusted to be nearly linearly changed with its change. This method applies both the amplitude information and the phase information onto the high frequency carrier.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-156554

(P2001-156554A)

(43)公開日 平成13年6月8日(2001.6.8)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 3 F	1/32	H 0 3 F	1/32
	1/02		1/02
	1/34		1/34
	3/24		3/24
H 0 3 M	3/02	H 0 3 M	3/02

審査請求 未請求 請求項の数9 O L (全 17 頁)

(21)出願番号 特願2000-309898(P2000-309898)

(22)出願日 平成12年10月10日(2000.10.10)

(31)優先権主張番号 9 9 1 1 9 9 0 0 . 1

(32)優先日 平成11年10月8日(1999.10.8)

(33)優先権主張国 欧州特許庁 (E P)

(71)出願人 500472132

メイコム ユーロテック

アイルランド国 コーク ブラックロック

スケハードロード ローモホンテクノロ

ジーパーク

(72)発明者 デビッド フィリップ バートン

アイルランド国 ライムリック パーティ

ーン フェアリーフィールド 37

(72)発明者 ユージン パトリック ヒーニー

アイルランド国 コーク ロチェスタウン

フォックスウッド 23

(74)代理人 000227995

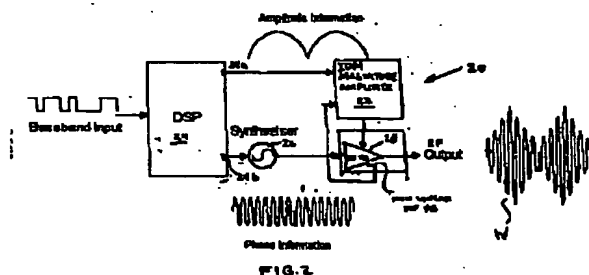
タイコエレクトロニクスアンプ株式会社

最終頁に続く

(54)【発明の名称】 インターリーブされたデルタ変調を使用してデジタル情報を送信する装置及び方法

(57)【要約】

【解決手段】複合ベースバンド波形を伴った高周波搬送波を直接変調する送信器は、複合ベースバンド波形に対応して振幅及び位相情報を総括的に発生するようになっているプログラム可能なデバイスと、位相が前記プログラム可能なデバイスにより発生した位相情報に応答した高周波搬送波を発生するようになっている信号発生器と、複数のデルタ変調器と、信号発生器に結合されると共に位相情報を伴った高周波搬送波を受信する増幅器とを具備する。デルタ変調器は、他の全てのデルタ変調器からずれた時間間隔でエラー信号をサンプリングするよう作動して振幅信号に総括的に近似するパルス流を発生する。増幅器の供給電圧は、デルタ変調器により発生したパルス流により表わされた近似振幅情報に従って調整される。供給電圧は供給電圧の変化を伴って略リニアに変化するように調整される。この方法では振幅情報及び前記位相情報が共に高周波搬送波上に印加される。



【特許請求の範囲】

【請求項 1】複合ベースバンド波形を有する高周波搬送波を直接変調する送信器であって、

選択された複合ベースバンド波形に対応して振幅及び位相情報を総括的に発生するようになっているプログラム可能なデバイスと、

位相が前記プログラム可能なデバイスにより発生した位相情報に応答した高周波搬送波を発生するようになっている信号発生器と、

各々が他の全てのデルタ変調器からずれた時間間隔でエラー信号をサンプリングするよう動作することにより、前記振幅信号に総括的に近似するパルス流を発生する複数のデルタ変調器と、

前記信号発生器に結合され位相情報を有する前記高周波搬送波を受信する増幅器とを具備し、

前記パルス流により表わされた近似振幅情報に従って前記増幅器の供給電圧が調整され、その結果、前記増幅器の出力電圧が、前記供給電圧の変化を伴って略リニアに変化することにより、前記振幅情報及び前記位相情報が共に、前記高周波搬送波上に印加されることを特徴とする送信器。

【請求項 2】前記デルタ変調器の各々が比較器を有し、該比較器が、サンプリング速度の合計を $1/N$ 倍する (N は比較器の総数) ことにより、隣接する各比較器からずれた時間で個別にクロックされることを特徴とする請求項 2 記載の送信器。

【請求項 3】前記比較器の各々が、隣接する各比較器から $360^\circ/N$ だけずれた位相でクロックされることを特徴とする請求項 2 記載の送信器。

【請求項 4】前記データ変調器による出力されたパルス流をデジタル的にコード化するエンコーダを更に具備することを特徴とする請求項 1 記載の送信器。

【請求項 5】前記エンコーダが複数のスイッチを含み、該スイッチの各々が、対応する変調器と関連し、各サンプリング期間に 1 回、対応する変調器パルス流を読み出すためオンになるように、前記各スイッチが順にトグルされることを特徴とする請求項 4 記載の送信器。

【請求項 6】直列の N 個のフリップフロップ (N は、前記複数のスイッチによりサンプリングされる変調器の数) を具備するリングカウンタを更に含むことを特徴とする請求項 5 記載の送信器。

【請求項 7】前記複数のスイッチの出力を受信する m ビットアップダウンカウンタ (m は、前記複数のスイッチによりサンプリングされた変調器の数の 2 進表示) を更に含むことを特徴とする請求項 5 記載の送信器。

【請求項 8】前記アップダウンカウンタからの入力をそれぞれ受信する m 個の平行な切換えモードトランジスタを具備する S 級変調器を更に含むことを特徴とする請求項 7 記載の送信器。

【請求項 9】高周波搬送波上に変調された複合ベースバ

ンド波形を送信する送信器の作動方法であって、

前記複合ベースバンド波形から派生する振幅情報を受信する工程と、

前記複合ベースバンド波形から派生する位相情報を搬送する高周波搬送波を受信する工程と、

複数のデルタ変調器でエラー信号をサンプリングする工程であって、前記デルタ変調器の各々が全ての他の変調器からずれた時間間隔でサンプリングすることにより、前記振幅情報を総括的に近似するパルス流を発生する工程と、

位相情報を伴った前記高周波搬送波を増幅器で受信し、パルス流により表わされる近似振幅情報に従って、増幅器の供給電圧を調整し、この結果、前記供給電圧の変化に伴って前記増幅器の出力が略リニアに変化することにより、前記振幅情報及び前記位相情報が共に高周波上に印加されることを特徴とする送信器作動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電力増幅器に関し、更に詳細には電力増幅器をリニア (linear) にする方法及び装置に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】携帯電話技術においては、競争により急速且つ大幅な技術革新がもたらされてきている。現在、アナログ携帯電話システムがデジタル携帯電話システムと競合している。単一の携帯電話システムで繋がる加入者数を最大にするために、個別のセルサイト (cell sites) を小さくし且つより数の多いセルサイトを使用して同一の地理領域をカバーすることにより、周波数の再使用を最大化させている。これに伴い、携帯電話の基地局の数が増加した結果、基盤設備のコストが増大してきた。このコスト増大を避けるために、携帯電話サービスの提供者は、機器コスト、維持及び修復コスト及び稼働コストを低減することができ、又は携帯電話が繋がる加入者数と同様にサービスの品質及び信頼性を増大させることができる技術革新の実施を切望している。

【0003】この技術革新の多くは、拡張デジタル PC S サービスや、より長い寿命のバッテリーを有する、より小型で軽量の携帯電話等のサービス品質改善に向けられている。後者の目的の遂行において、高周波 (RF) 信号をネットワーク内での送信に適したレベルに増幅するのに使用される高周波電力増幅器の効率を改善することが、解決手段であると理解されている。高周波電力増幅器の効率は、携帯送信機等の携帯機器のバッテリー寿命に大きな影響を与える。というのは、増幅器が、機器が使用する殆どの電力を消費するのは典型だからである。従って、携帯送信機には、効率的な電力増幅器が切望されている。C, D, E, F 級の電力増幅器は、定振幅出力を発生する能力を有するのみである。しかし、最近の多

くの送信機設計は、所定のチャンネル帯域幅内でのデータ速度(rate)を最大にする非一定振幅高周波出力を必要とする。

【0004】適切なリニア高周波増幅器は、ガリウムヒ素デバイスを使用して製造することができる。しかし、ガリウムヒ素デバイスは、現在多くの応用分野では高価であると考えられている。一方、MOSは、その低製造コスト及び高い歩留りのため、半導体デバイスを製造する好適な工程である。しかし、MOSは、高効率増幅器を実施する際にリニア性がないことのため、リニア高周波増幅器の製造には従来から好適ではなかった。このようなリニア性欠乏により、増幅器の出力信号にかなりの歪が生ずる。リニアで効率的な電力増幅器を達成するために、当業界では様々なリニア化の試みが提案されてきている。

【0005】従来のリニア電力増幅器の設計には、効率とリニア性との間に二律背反(trade-off)が存在した。極変調(polar modulation)は、高周波電力増幅器のリニア性及び効率を同時に達成する、当業界で公知の技法である。また、極変調は、包絡線除去及び復元(envelope elimination and restoration; 以下EERという)としても公知である。この手法において、ある高周波入力信号は、その極成分、即ち位相及び振幅に分解される。これら2種の極成分は独立して増幅され、次に増幅されたリニアな高周波出力信号を発生するために再合成(recombine)される。高周波入力信号の位相成分は、効率を最適化する定振幅増幅器により増幅されるのが典型である。高周波入力信号の振幅即ち包絡線の成分は、定振幅増幅器の少なくとも出力段階用に電源として作動するスイッチモード電源により増幅されるのが典型である。

【0006】極変調を使用する種々の手法は、カーン著「包絡線除去及び復元による単側波帯送信」(1952年7月発行、803~806ページ)、及び第39回IEEE移動技術会議のcock及びフィッシャー講演「デジタル携帯電話用835MHz高周波リニア電力増幅器」(1989年5月3日開催)で説明されている。図1は、上述のEER技法を利用した従来の高周波増幅器10のブロック図である。図1に示される増幅器において、まず、高周波入力信号12がその極成分に分解される。これら極成分は、定振幅信号である位相と、低周波数包絡線信号である振幅とからなる。位相及び振幅成分は、別の経路15、11に沿ってそれぞれ独立して増幅される。次に、位相及び振幅成分は、リニアに増幅された高周波出力信号19を発生するよう再合成される。

【0007】位相成分は、リミッタ16により高周波入力信号から抽出され、非リニア前置増幅器17及び効率のより非リニア位相出力段階18からなる効率のよい定振幅増幅器により増幅される。チャンネル帯域幅と比較可能な帯域幅を有する振幅成分は、包絡線検出器13により高周波入力信号から抽出され、リニアベースバンド

増幅器14により増幅される。効率を最大化するために、リニアベースバンド増幅器14は、出力段階としてD級増幅器を有するスイッチモードの電源を用いて実施される。

【0008】現行のスイッチモード電源の実施には、パルス幅変調が用いられる。このような電源の出力は、マーク・スペース比が高周波入力信号の振幅成分を表わす矩形波である。しかし、振幅成分を増幅するのにパルス幅変調を用いると、高周波出力に相互変調の歪をもたらす。従って、MOS等の低コスト工程を用いて製造することができ、高周波入力信号をリニアに増幅する高効率高周波増幅器を提供することが望ましい。

【0009】

【課題を解決するための手段】上記目的は、複合ベースバンド波形を有する高周波搬送波(RF carrier)を直接変調するトランジスタであって、複合ベースバンド波形に対応して振幅及び位相情報を総括的に発生するようになっているプログラム可能なデバイスと、このプログラム可能なデバイスにより発生された位相情報に対して位相が応答した高周波搬送波を発生するようになっている信号発生器と、複数のデルタ変調器と、信号発生器に結合され位相情報を有する高周波搬送波を受信する増幅器とを具備するトランジスタにより達成される。各デルタ変調器は、他の全てのデルタ変調器からずれた時間間隔でエラー信号をサンプリングするよう作動することにより、振幅情報を総括的に近似するパルス流を発生する。増幅器の供給電圧は、デルタ変調器により発生したパルス流により代表される近似した振幅情報に従って調整される。特に、供給電圧は、増幅器の出力電圧が供給電圧の変化に伴って略リニアに変化するように調整される。この方法では、振幅情報及び位相情報の双方が、高周波搬送波上に印加される。

【0010】高周波搬送波上に変調された複合ベースバンド波形を送信するトランジスタの作動方法は、複合ベースバンド波形から派生する振幅情報を受信する工程と、複合ベースバンド波形から派生する位相情報を搬送する高周波搬送波を受信する工程と、複数のデルタ変調器を用いて他の全てのデルタ変調器からずれた時間間隔でエラー信号をサンプリングする各デルタ変調器を用いてエラー信号をサンプリングする工程からなり、これにより振幅情報を総括的に近似するパルス流を発生することを特徴とする。この方法は、増幅器に位相情報を用いて高周波搬送波を受信する工程と、デルタ変調によりパルス出力流により代表される近似振幅に従って増幅器の供給電圧を調整することにより、供給電圧の変化に伴って略リニアに増幅器の出力電圧が変化する工程を更に有し、これにより振幅及び位相情報の双方を高周波搬送波上に印加する。

【0011】

【発明の実施の形態】以下、添付図面を参照して本発明

の実施形態を説明する。本発明は、図1に関連して上述した極変調コンセプトに部分的に基づいた、高効率で高いリニア性を示す高周波電力増幅器を提供する。本発明の好適実施形態は、高周波入力信号の定振幅位相成分を増幅する位相増幅路を含む。位相増幅路は、C級出力段階、D級出力段階、E級出力段階又はF級出力段階のいずれでもよい高効率で非リニアの位相出力段階を含む。基本的には、出力振幅が印加電源電圧をリニアに追いつける高効率電力増幅器も使用することができる。高周波入力信号の振幅成分は、ユニークな高効率のインターリーブされたデルタ変調の形式(scheme)を経由した別の振幅増幅路で増幅されるが、後に詳細に述べる。インターリーブされデルタ変調された振幅増幅器の出力段階は、好適には位相出力段階用の電源電圧を供給する高効率のD級、E級又はF級増幅器である。インターリーブされデルタ変調された振幅増幅器により増幅された振幅成分出力は、位相出力段階の電源電圧を変化させることにより、位相出力段階で発生した高周波出力信号を振幅変調する。

【0012】電話が使用される通信ネットワークの作動パラメータとして通常固定されている所定レベルのリニア性に対しては、従来技術の変調システムが使用するパルス幅及びデルタ変調振幅増幅器の形式は、本発明のインターリーブされたデルタ変調振幅増幅器の補助で消費される電力よりも、高周波出力信号の製造においてより大きな電力を消費する。従って、本発明は、従来技術により提供されるよりもより効率的な変調を提供する。

【0013】図2は、本発明の好適実施形態に従ったインターリーブされたデルタ変調を組み込んだ増幅器20の簡略化されたブロック図である。図2に示された構造に使用されるインターリーブされたデルタ変調(IDM)振幅増幅モジュール22は、図1に示されるような高周波電力増幅器の振幅増幅経路における使用に好適である。しかし、図2に示される例示の実施形態では、複合ベースバンド波形を(図1の場合のような)別の位相及び振幅情報信号に分解するために包絡線除去を最初にしなければならない高周波入力信号を受信するよりむしろ、本発明に従った独立した工程が進行する前に、図2の増幅器20が、デジタル信号処理器(DSP)等のプログラム可能なデバイスを使用して別の出力ポート24a, 24bで振幅及び位相情報信号を別々に発生及び供給することが理解されよう。これらの情報信号は、選択された複合ベースバンド波形に総括的に対応し、究極的には増幅された高周波出力信号として送信される。このようにして、図2に示されるように、リミッタ及び包絡線検出器の必要がなくなり、振幅信号及び位相信号がDSP24のポート24a, 24bに出力される。

【0014】図2を続けて参照すると、位相情報は、位相がDSP24で発生した位相情報に回答する高周波搬送波を発生する信号発生器即ちシンセサイザ26に向け

られることが理解されよう。このため、高周波搬送波は、位相情報のみを含み、振幅情報を含まない高周波定包絡線信号である。高周波搬送波は、非リニア電力増幅器28により効率的に増幅される。本発明によれば、電力増幅器28の電力供給は、DSP24により作成される低周波数振幅情報信号により変調される。この目的のために、振幅情報は、後の詳細に説明されるインターリーブされたデルタ変調(IDM)モジュール22に向けられる。IDMモジュール22は、送信される複合ベースバンド波形の振幅成分の近似を表わす時間インターリーブされたデジタルビット流を発生する。現在、IDMモジュール22が複数のデルタ変調器を有し、各デルタ変調器が他のすべてのデルタ変調器からずれた時間間隔でエラー信号をサンプリングするために作動し、その各出力が、送信される複合ベースバンド波形Wの振幅成分の総括的に近似するパルス流を発生するために結合されると言うのに十分である。本発明によれば、それは、電力増幅器28の電力供給を変調する時間インターリーブされたデジタルパルス流である。

【0015】本発明で電力増幅器を駆動するためにインターリーブされたデルタ変調を使用することは、図3に簡略化されたブロック図が示されている従来のデルタ変調(DM)技法を越えた大きな進歩を示している。標準的なDM構造30において、(複合ベースバンド波形の低周波数振幅情報成分のみを搬送する)入力包絡線信号Senは、エラー信号Serを発生するために包絡線の近似値Saと比較されることが当業者には理解されよう。減算器32を具備する帰還ループは、エラー信号Serを最小にしようと試み、近似値を入力信号に対して可能な限り近接させることを保証する。この目的のために、エラー信号Serは、単一ビット比較器34によりサンプリングされ、デジタルパルス流Spを生成する。次に、パルス流Spは、フィルタ・積分器36によりデジタルアナログ変換され、次に減算器32で入力包絡線信号Senと比較される、近似値を生成する。完成後の送信器・受信器システムにおいて、比較器34によるパルス出力は、受信器端で積分され、近似値信号を回復するであろう。

【0016】図4は、従来のより複雑なDM形式を示す。図4は、通過(pass)トランジスタ38のゲートに印加される単一ビット比較器34の出力を更に示す。これにより、高周波電力増幅器40に印加される供給電圧は、位相情報のみを搬送する高周波搬送波に対して適当な利得量で振幅を回復するよう変調される。包絡線検出器42及び減衰器44は、減算器32内で比較のために電力増幅器40からの帰還信号を処理する。

【0017】パルス幅変調上の単一DM形式の主な利点は、過渡部の数がはるかに少ないこと、及びCMOS技術を用いて比較的簡単且つ堅牢な切り換えられた容量回路を使用して実施可能であることである。十分なリニア性を得るために、信号の高周波帯域幅の少なくとも3倍

が正確にサンプリングされなければならないことは、当業者に容易に理解されよう。実際、包絡線に対して切換え(サンプリング)周波数が高いほど、包絡線を通過させ、通過トランジスタの作動に関連した切換え高調波を抑制することがより容易である。それ故、現在及び将来期待されている広い帯域幅信号に対しては、サンプリング速度(sampling rate)が非常に速くなることが必要である。例えば、パルス波変調(PWM)において、サンプリング周波数は、切換え周波数の高調波が包絡線信号と干渉しないように、典型的には20倍以上が必要であろう(即ち、30KHzの帯域幅に対して、サンプリング周波数は少なくとも1.8MHzでなければならない)。しかし、従来のDMに対してさえも、サンプリング周波数が高すぎるなら、通過トランジスタ内の過剰切換え損失、電磁干渉及び過電圧の問題がある。このため、DM増幅器は、のこぎり刃波形発生器を必要とせず、パルス幅変調法より高いサンプリング周波数を許容する一方、サンプリング周波数に制限があり、その周波数を超えると、クロスオーバー損失及び他の問題が効率を低下させる。

【0018】従来技術における上述の欠点は、全体の実効サンプリング速度を保持しながら通過トランジスタのゲートに印加される波形の周波数を低くする本発明の時間インターリーブ機構により解消される。

【0019】図5は、本発明のインターリーブされたデルタ変調が実施された方法を示す簡略化されたブロック図である。図5に示されるように、本発明の変調形式は、単一の通過トランジスタのゲート上で作動する単一ビット比較器を使用するよりも、複数の離散デルタ変調器を使用する。これらの正確な数は、全体の量子化エラーを決定する。このため、図5に示される例示において、インターリーブされたデルタ変調器の数は32であるが、変調器の数は、所定の応用分野の特定の要求事項に従って所望数に増減可能であることが当業者に容易に理解されよう。

【0020】とにかく、続けて図5を参照すると、各DMは、システムクロック速度の1/N倍のクロック速度で順にストロブ(strobe)されたクロックされた比較器C1ないしC32を具備することが理解される。ここでNは、比較器の合計の数である(即ち、図5に示された実施形態では32個である)。本発明の特に好適な実施形態では、各比較器のクロックは、隣接する各比較器のクロックに対して $360^\circ/N$ だけ位相がずれている。すべてのクロックのオーバーレイは、図6Aに示された実効サンプリングクロックに等しい。最初の4個のクロックは、図6Bないし図6Eにそれぞれ示される。比較器出力は、合成モジュール50で合成(即ち積分)され、電力増幅器58に対して入力である近似値を生成する。リニア性を確保するために、包絡線検出器52及び減衰器54は、電力増幅器58から減算器56までの帰還ループを提供する。これらは、図3及び図4の従来のDM形式と

結び付けて既述したのと同様の方法で総括的に作動する。比較器出力の合計を表わす近似された波形は図7Aに示されるが、一方、最初の4個の比較器(C1, C2, C3及びC4)からの代表的な個別出力は図7Bないし図7Eにそれぞれ示される。

【0021】図8Aないし図8Eは、本発明のシミュレートされたインターリーブされたデルタ変調器の結果に基づいた図である。図8Aは、DSP24(図2参照)により供給された入力包絡線信号即ち振幅情報を表わす。図8Bは、減算器に対するIDM近似入力を表わし、図8Cは、図8A及び図8Bに示された信号の比較からの結果生ずるエラー信号を示す。図8Dは、比較器出力の合計を示し、図8Eは、図8Dの段階的近似によりオーバーレイされた図8Aの入力包絡線信号を示す。

【0022】上述したように、変調形式の全体効率を決定するのは、全体の帯域幅及び付随するサンプリング周波数である。後により詳細に説明されるように、本発明は、増幅器を駆動する回路に対して短い(狭い)パルスを印加することを未然に防いでいる。とりわけ、各比較器の出力は、対応するパルスが例えば図3及び図4に示される従来の構造の単一通過トランジスタよりも別のサンプリング要素を駆動するように処理される。本発明のインターリーブされたデルタ変調技法とパルス幅変調及び単一デルタ変調技法との比較が図9Aないし図9Eに示されている。図9Aは、より大きな数の非効率の狭いパルスが、単一デルタ変調(図9E)に続くパルス幅変調に関連することを示す。しかし、図9Bないし図9Dに示されるように、本発明のインターリーブされたデルタ変調技法を用いると、単一感知要素が見るパルスの数及び幅は、所望の全体のサンプリング速度及び使用されるデルタ変調の全数によってのみ決定される。後に明らかになるように、IDM内の多数の感知要素の使用に関連した大きな数のアクティブデバイスを考慮してもなお、増幅器は、より効率的に作動するので、所定のリニア性の程度に対して消費電力が非常に少ない。

【0023】図10Aないし図10Cは、パルス波変調(PWM)及びDM技法と、IDM技法との結果及び方法論の比較を図示している。PWM及びDM技法において、切換え損失は $V_{dd} \cdot I_{dd} \cdot t_r \cdot f$ の平均である。ここで、 V_{dd} は供給電圧、 I_{dd} は通過トランジスタの電流、 t_r は切換え点の立上がり(又は立下がり)時間、 f は切換え発生数である。DMにおいては、切換えがあまり発生しないので、切換え損失はPWMで経験されるよりも低い。IDMにおいては、切換え損失は、 $N \cdot V_{dd} \cdot I_{dd} / N \cdot t_r \cdot f$ の平均で与えられる。ここで、Nは使用される変調器の数である。各通過トランジスタは、N個のトランジスタがある場合、 $1/N$ の電流を流すので、一般的にIDMはDMと略同じ損失を有する。一般的に、PWMは最もリニアであるが最も非効率であり、DMはPWMより効率的だがリニア性が低く、IDMはPWMより効率的で

あつてDMと同程度の効率であるということが出来る。実際、1 DMは、合理的な切換え周波数でDM及びPWMの間の妥協点である。しかし、非常に高い切換え速度では、DM及びPWM用の通過トランジスタは、駆動電流にかかわらず、効率的に切換えることはできないかもしれない。このため、より高い周波数では、1 DMが唯一の現実的な解決になる。

【0024】図5に示された実施形態では、30個の比較器を有する5ビットシステムが観察され、これら比較器からの出力が合成回路に直接送られることが思い出されよう。このような大きな数の比較器に対しては、同数の通過トランジスタ及び誘導器を用いて出力を合成することは現実的でない。従つて、本発明の好適実施形態によれば、合成器は、比較器からのデータをコード化するエンコーダを組み込んでいる。しかし、フラッシュADCとは異なり、比較器出力は、「温度計」型でコード化されない。これは、1 DMにおいて比較器出力が、時間内の実質的にどの瞬間でも高又は低になり得る。単一ROMエンコーダを使用することは、従来からADCで使用されてようには可能ではない。

【0025】図11には、本発明の目的を達成するのに使用され得る典型的なエンコーダ60が示される。基本的には、各比較器からの出力は、N個のスイッチアレー62からなるS/H回路を用いてサンプリングされる。ここで、Nは比較器入力、及びホールド即ち格納コンデンサ64の数である。比較器は、シンク(sink)することができるバッファ回路と、格納コンデンサを充放電する電源電流とを含む。コンデンサは、好適には定常状態で充放電するようなサイズであるが、十分に遅いのでグリッチ(glitches)を排除する。バッファ66を介して通過した後、S/H回路の出力がアップダウン(up/down)カウンタ68に供給される。バッファ66は、隔離を提供し、駆動能力及び信号再発生を強化する。0-N(例示の実施形態の32個の比較器では31)リングカウンタ70からの出力は、各スイッチを順次オンにし、アップダウンカウンタに比較器の値を供給する。当業者には容

易に確かめられることであるが、アップダウンカウンタ68は、比較器の値に依存して2進数的にカウントをアップ又はダウンする。

【0026】さて、図12Aを参照すると、図11のエンコーダのリングカウンタ70がより詳細に示される。図12Aに示されるように、リングカウンタ70は、一つの段階から次の段階に「1」がシフトするシフトレジスタの形態である。「1」が最後の段階に達したとき、図12Bに図示されるようにサイクルを繰り返す。このように、リングカウンタの出力は、順にS/Hアレー62の各スイッチを作動させる。リングカウンタ及び図11に例示されたデコーダのS/Hアレー間の相互作用は、図12Cにより詳細に示される。ここで、個別のスイッチ(S0からS31)がリングカウンタにより作動されて各比較器の出力を順に読み出し、スイッチは、比較器が作動するのと同じ速度である96MHz/32MHz(即ち3MHz)で比較器出力がサンプリングされるように作動されることが理解される。各スイッチがリングカウンタ70によりオンになると、その出力がホールドコンデンサ64にサンプリングされる。コンデンサの値は、アップダウンカウンタがカウントをアップするかダウンするかを決定する。このような構成は簡単であつてしかも堅牢である。とりわけ、比較器からのデジタル信号がサンプリングされ続けているので、S/H性能は高低レベルのみが重要であつて、完全である必要はない。

【0027】図13に最もよく示されるように、アップダウン2進カウンタ68は、アップダウンポートでのレベルに依存してカウントをアップ又はダウンする2進同期カウンタとして構成されてもよい。図13に示された例示の実施形態では、JKフリップフロップ回路がトグルデバイスとして使用され、XNORゲートがアップダウン方向を制御するのに使用される。アップが1でダウンが0であるアップダウンカウンタ論理は表1に示される。

【表1】

level	Qc	Qd	Qc	Qb	Qa
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	0	1	0
3	0	0	0	1	1
4	0	0	0	0	0
5	0	0	1	0	1
6	0	0	1	0	0
7	0	0	1	1	1
8	0	1	0	0	0
9	0	1	0	0	1
10	0	1	0	1	0
11	0	1	0	1	1
12	0	1	1	0	0
13	0	1	1	0	1
14	0	1	1	1	0
15	0	1	1	1	1
16	0	0	0	0	0
17	1	0	0	0	1
18	1	0	0	1	0
19	1	0	0	1	1
20	1	0	1	0	0
21	1	0	1	0	1
22	1	0	1	1	0
23	1	0	1	1	1
24	1	1	0	0	0
25	1	1	0	0	1
26	1	1	0	1	0
27	1	1	0	1	1
28	1	1	1	0	0
29	1	1	1	0	1
30	1	1	1	1	0
31	1	1	1	1	1

【0028】基本的には、表1及び図13の双方の参照を続けると、Qaは各クロックサイクルでトグルアップし、QbはQaの半分のレートでトグルアップし、Qcは、Qa及びQbが高レベルの時にトグルアップし、Qdは、Qa、Qb及びQcが高レベルの時にトグルアップし、Qeは、Qa、Qb、Qc及びQdが高レベルの時にトグルアップする（例外はアップダウンが1の場合）。逆に、Qaは各クロックサイクルでトグルダウンし、Qbは、Qaが低レベルの時にトグルダウンし、Qcは、Qa及びQbが低レベルの時にトグルダウンし、Qdは、Qa、Qb及びQcが低レベルの時にトグルダウンし、Qeは、Qa、Qb、Qc及びQdが低レベルの時にトグルダウンする（例外はアップダウンが0の場合）。「サイクリング」を防止するために、カウントアップの際に、QaからQeが全て1に等しいなら、アップダウンカウンタ68がカウントダウンする（即ち、31では0に下がらず、代わりに30に進む）。カウントダウンの際に、QaからQeが全て0に等しいなら、アップダウンカウンタ68がカウントアップする（即ち、0では31に進まず、代わりに1に進む）。各フリップフロップからの出力をスタート時に0にセットすることを保証するために、デディケートされたプリセット制御を使用してもよい。プリセットが低の場合、フリップフロップからの出力は低であり、プリセットが高の場合、

正常に作動する。

【0029】図14を参照すると、図5に示された例示のIDM構造を達成するために使用され得る合成器50の例示の実施形態を示される。図14の実施形態において、合成器50は2進の重みをつけられたS級合成器として構成されているので、エンコード60によりコード化されたIDMデータを解読するのに使用できる。現実的にはより少ない代替物が合成器で32の個別入力を処理する。ともあれ、S級変調器は、単極2投（SPDT）スイッチのように振る舞い、直流電源電圧をチョップすることが当業者に容易に理解されよう。図11ないし図13の実施形態がエンコード68から5個の2進数出力（Qa、Qb、Qc、Qd及びQe）を考えているので、合成器50は、それぞれ平行なS級変調器として作用する5個のスイッチトランジスタを使用する。この目的のためには、電圧範囲内でオンオフできるいずれのスイッチトランジスタも使用することができる。例示された例によって、電力PMOSスイッチトランジスタは、0から3.3Vの範囲内の入力電圧でオンオフの振る舞いをするので、図14の構造にとって理想と見做される。

【0030】各フリーホイールダイオードD1ないしD5は、対応するインダクタ（L、2L、4L、8L及び16L）を通して電流の瞬時停止に帰せられるキックバ

ック効果を低減するために、飽和した各切換えモードトランジスタに関連する。インダクタは、総括的に合成して負荷即ち電力増幅器58(図5参照)に電流を供給する。こうして、フリーホイールダイオードは、インダクタを横切って設けられるいかなる大きな電圧をも防止し、切換え要素がオフになる際にインダクタ電流を流し続けることを保証することにより、効率を上げる。2Lのインダクタンス値はLの2倍になるように選択され、4Lは2Lの2倍に、8Lは4Lの2倍に、16Lは8Lの2倍になるようにそれぞれ選択される。最大のインダクタである16Lは、最低電流にある最小桁ビット

(LSB)を担当するよう使用されるが、他方、最小のインダクタ1Lは、最高電流にある最大桁ビットを担当する。例示的には、 Q_a ないし Q_e が全て低レベルの場合、(負荷RLによって理想化されたものとしての)電力増幅器に印加される出力電圧は0である。 Q_a ないし Q_e が全て高レベルである場合、電力増幅器に印加される出力電圧は、電源電圧即ちVddと等しい。理想供給電圧と、図14の例示構成により達成される2進の重みをつけられた出力とを比較した図形的代表例は、図15に示されている。

【0031】電力MOSFET用のゲート駆動回路として図14の実施形態ではD級増幅器を使用したように、飽和した切換えモード増幅器の使用とは別の方法があることに留意すべきである。これらのゲート駆動器は、ゲート電流を供給し、デバイスのキャパシタンスがいかに迅速に充放電するかを決定する。さらに、抵抗は、インダクタの代わりに、作動のより広い帯域幅を提供するのに使用できる。これら抵抗は、個別の部品として又はトランジスタ構造の一部として、IC内に容易に組み込まれる。フライバックダイオードD1からD5はこの筋書には必要ではない。同様に、インダクタ及びダイオードをなくすることは、合成器の寸法及び費用を大きく低減するかもしれない。しかし、効率が低下するので、回路作動の見地から、支払うべき価格はある。しかし、波形がある平均値の周囲で変化する、濾波されたデジタル的に変調された信号に対して、効率は依然として70%の範囲まで維持することができる。

【0032】図11ないし図13に関して機能を説明した比較器・エンコーダを一体のCMOSモジュール80に集めた例示の送信器構造、及び図14及び図15に関連して機能を説明した一体のGaAsモジュール82内の合成器の電力切換え部は、図16に示される。図16には同様の要素が同様の番号で表わされている。今からは、以前説明した新規のインターリーブされたデルタ変調技法にしたがって変調された供給電圧を有する電力増幅器58の作動は、省略される。図16を続けて参照すると、合成器から供給された高い入力駆動電流は、増幅器トランジスタを理想スイッチとして振る舞わせる。理想スイッチによって、高電圧及び大電流を同時に有する

ことは可能ではないので、トランジスタにおける電力消費は無く、従って、100%の効率である。切り換えられたモードの電力増幅器において、出力電力は供給電圧Vddの2乗に比例する。本発明は高速作動を求めているので、スイッチの電圧及び電流は同時には0ではなく、電力損失を生じ得る。電力増幅器58に対しては、トランジスタのこのような有限の切換え時間のため、E級作動が好適である。オンの際に、リアクタンス性のネットワークは、スイッチ電圧が0値及びスイッチを横切る0スローブを有するよう形作る。

【0033】前述したことから、本発明のインターリーブされたデルタ変調技法は、従来技術を越える多くのメリットを提供することが理解される。第1に、高作動周波数が可能になることである。これは、所定のサンプリング周波数に、より大きな最小パルスが可能になることで達成される。第2に、IDMが比較器の仕様を減らすことを可能にすることである。例示として、このような多くの比較器のインターリーブされた形式の一部を形成する、クロックされた個別の比較器は、200KHzでの切換えが要求されるかもしれない。このような比較器は、DMの場合のように、2MHzで作動するものよりも設計が非常に簡単である。更に、本発明により使用された比較器は、より低い切換え周波数でより高利得及びより低電流である。第3に、本発明は濾波の要求事項を簡略化するので、合成器は入力信号に大して基本的に段階近似を創るので、出力フィルタは、近似のシャープエッジ及びリップルのいずれか一方又は両方を除去することを要するのみである。更に、このような高周波数でエッジリップルの周波数成分があるので、フィルタは小さな値の成分値からなる。例示として、最も高速の入力信号周波数より約10倍のカットオフ周波数である。また、小さなフィルタは、位相及び振幅信号の再合成に重要な考慮事項である遅延を減らす。第4に、PWMと比較してDM作動に固有の過渡分の数が少ないので、電力損失は低いままである。最後に、本発明は、より低周波数クロックの使用が含まれている。サンプリングは、全サンプリング速度の1/Nで起こる。個々で、Nはインターリーブされた比較器の数である。当業者には容易に理解されるように、より低周波数クロックは、よりよいスペクトル純度を有し、サンプリング処理にあまり付加的な歪をもたらさない。

【0034】本発明のIDMを更に強化するのに、種々の技法を使用することができる。例えば、より高いオーバードライブを低いオン抵抗を提供するのに使用するかもしれない。システムの要求事項により、バッテリー電圧が3.6Vに制限されているので、供給電圧を、ゲート信号がスイングアップできる最大電圧に上げるためにDC-DCコンバータを実施する必要がある。これは、より高いクロスオーバーキャパシタンス及びより低いインダクタンスを与え、両者によりオン抵抗が低減する。また、ゲ

ート長さの減少に伴い、寄生容量が減少する。また、デバイスをレイアウトする際、寄生容量及び寄生抵抗を最小にするために、トランジスタの領域を最小に保つことを確実にすべきである。更なる利点は、情報を失うことなく、量子化される前の入力信号の振幅を減少することである。これにより、量子化エラーを低減し、使用されるサンプリング速度を低くできる。このため、切換え損失を低減する。増幅は、量子化が起こった後に行われる。最後に、容量を迅速に充放電するためにゲート駆動回路を通過トランジスタ内に組み込むことが利点である。

【0035】以上、本発明を詳細に説明したが、最も広い本発明の範囲及び本発明の神髄から離れることなく、種々の変更、交換をすることが可能であることは当業者は理解すべきである。

【図面の簡単な説明】

【図1】EERを使用する従来の高周波増幅器のブロック図である。

【図2】本発明のインターリーブされたデルタ変調を使用するDSPベースの高周波増幅器のブロック図である。

【図3】従来の一実施形態のデルタ変調のブロック図である。

【図4】従来の一実施形態のデルタ変調のブロック図である。

【図5】本発明に従って時間及び位相がオフセットされた複数の比較器を使用して、インターリーブされたデルタ変調が実施された方法を示す、簡略化されたブロック図である。

【図6】多数の比較器に関連した個々のクロック速度により構成された全体成分サンプリングクロック速度を示す図であり、図6Aは全体成分サンプリングクロック速度の図を示し、図6Bないし図6Eは多数の比較器の図を示す。

【図7】図7Aは図5の実施形態に使用された比較器出力の合計を表わす近似波形の図であり、図7Bないし図7Eは図5の実施形態からの最初の4個の比較器(C1, C2, C3及びC4)からの代表的な個別出力を示す図である。

【図8】本発明のインターリーブされたデルタ変調のシミュレートされた結果に基づく図であり、図8Aは図2のDSPにより供給された入力包絡線信号即ち振幅情報

を表わし、図8Bは図5の減算器に対するIDM近似入力を表わし、図8Cは図8A及び図8Bに示された信号の比較からの結果生ずるエラー信号を示し、図8Dは比較器出力の合計を示し、図8Eは図8Dの段階的近似によりオーバーレイされた図8Aの入力包絡線信号を示す。

【図9】本発明のインターリーブされたデルタ変調技法とパルス幅変調及び単一デルタ変調技法との比較を示す図であり、図9A及び図9Eはパルス幅変調及び単一デルタ変調に関連したパルスの数及び持続をそれぞれ示し、図9Bないし図9Dは本発明で使用する複数の個別変調による代表的パルス出力を示す。

【図10】図10Aないし図10Cは、パルス波変調(PWM)及びDM技法と、IDM技法との結果及び方法論の比較を示す図である。

【図11】本発明の目的を達成するのに使用され得る典型的なエンコーダのブロック図である。

【図12】図12Aは11のエンコーダのリングカウンタの詳細を示す図である。図12Bは「1」がシフトレジスタの一段階から次段階にシフトするときの、リングカウンタによる信号出力を示す図である。図12Cは図11の例示のデコーダのS/Hアレー及びリングカウンタ間の相互作用をより詳細に示す図である。

【図13】本発明の特に好適な実施形態に従って2進の重みをつけられた近似を達成するように図11に例示のエンコーダで使用され得るアップダウン2進カウンタを示す図である。

【図14】図5に示された典型的なIDM構造を実施するのに使用され得る合成器50の実施形態を示す図である。

【図15】理想供給電圧と、図14の構造により達成された2進の重みをつけられた出力とを比較した図である。

【図16】一体CMOSモジュール内に図11ないし図13に機能的に対応する比較器/エンコーダと、一体ガリウムヒ素モジュール内に図14及び図15に機能的に対応する合成器を電力切換え部とを集合した例示の送信器を示す図である。

【符号の説明】

- 24 DSP (プログラム可能なデバイス)
- 26 信号発生器
- 28 電力増幅器

【図 1】

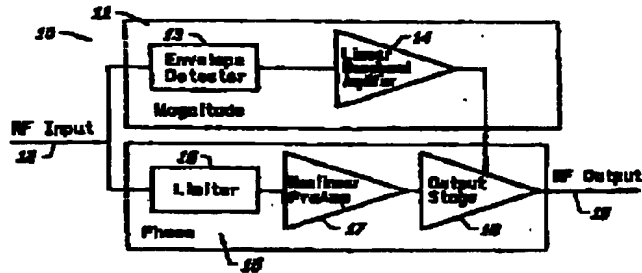


FIG. 1
(PRIOR ART)

【図 2】

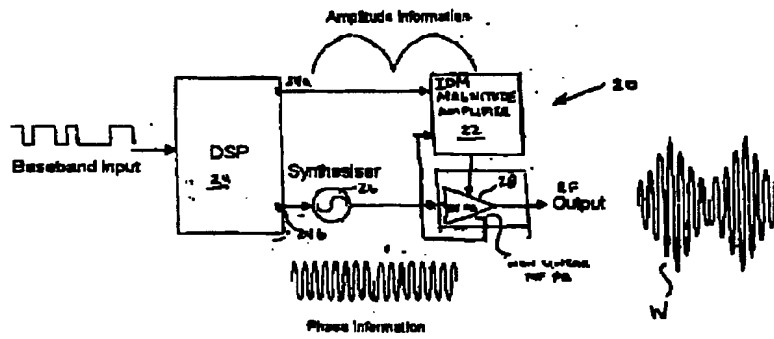


FIG. 2

【図 3】

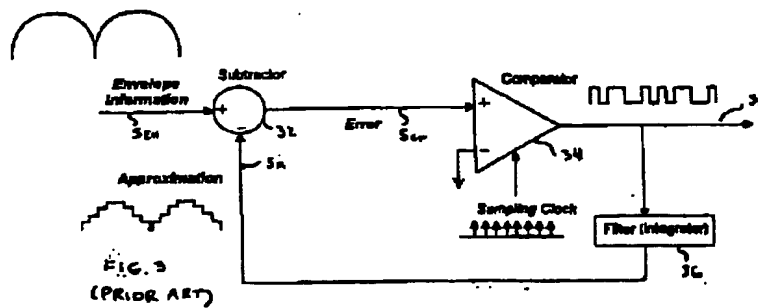


FIG. 3
(PRIOR ART)

【図4】

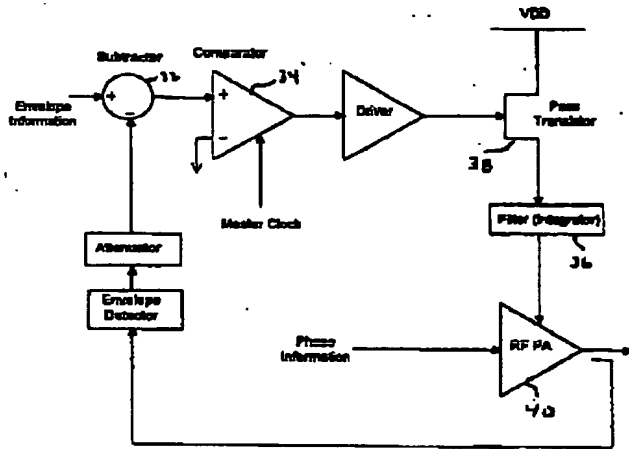
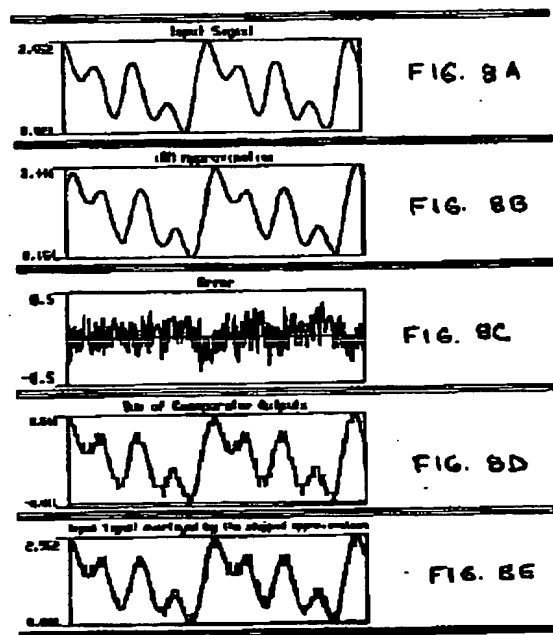


FIG. 4
(Prior Art)

【図8】



【図5】

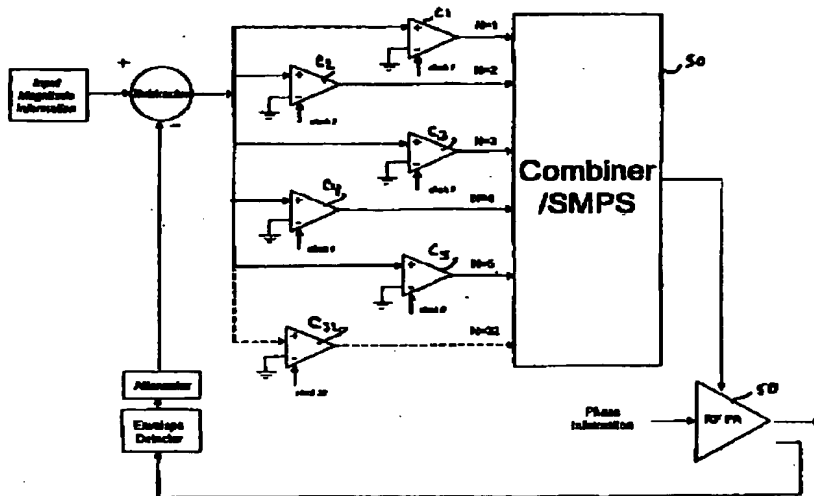
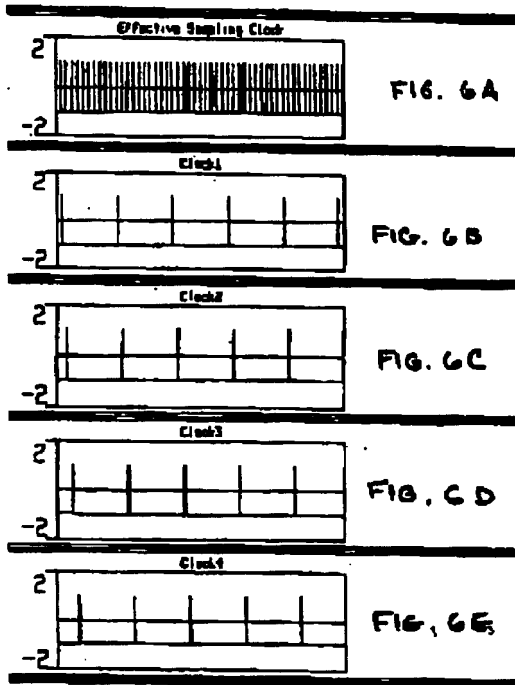
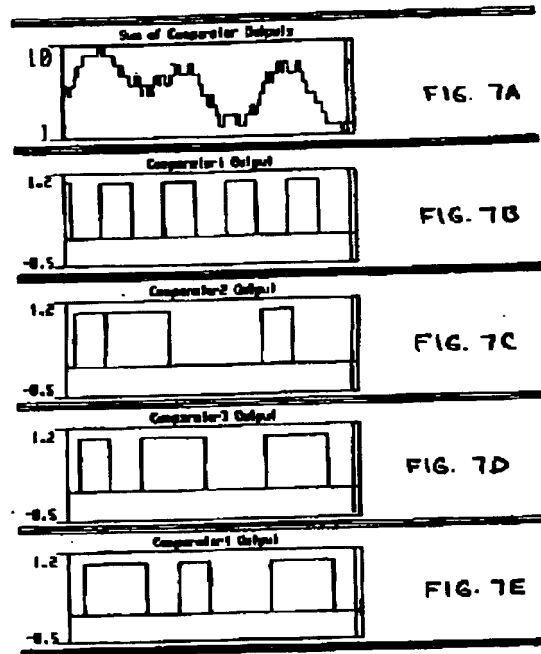


FIG. 5

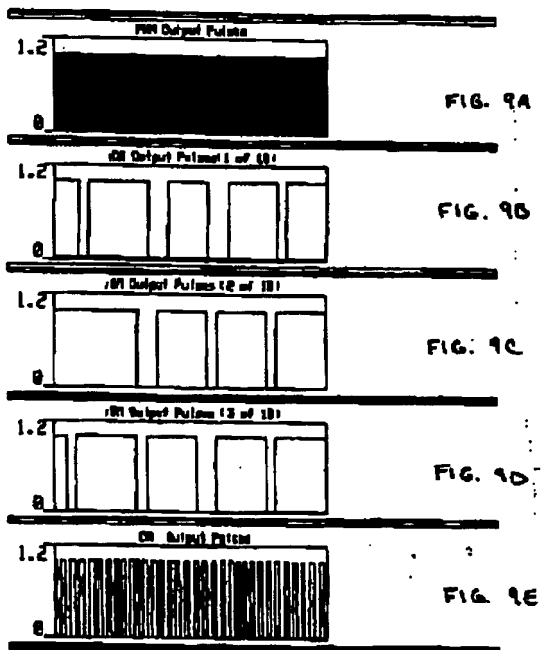
【図 6】



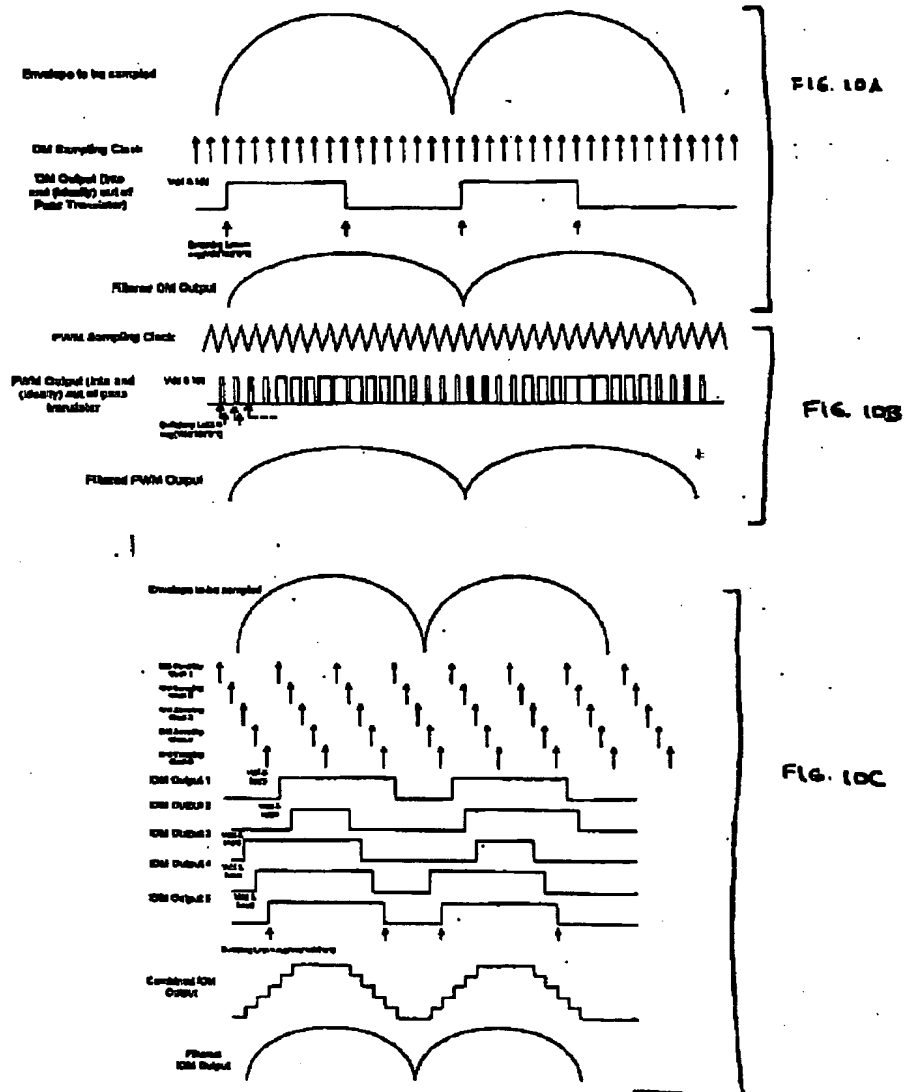
【図 7】



【図 9】



【図 10】



【図 11】

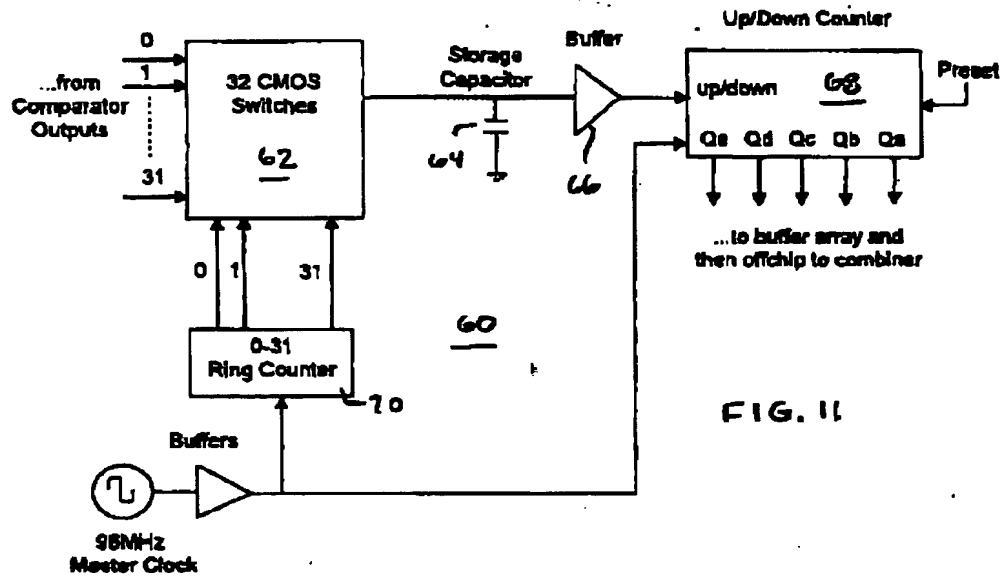


FIG. 11

【図 13】

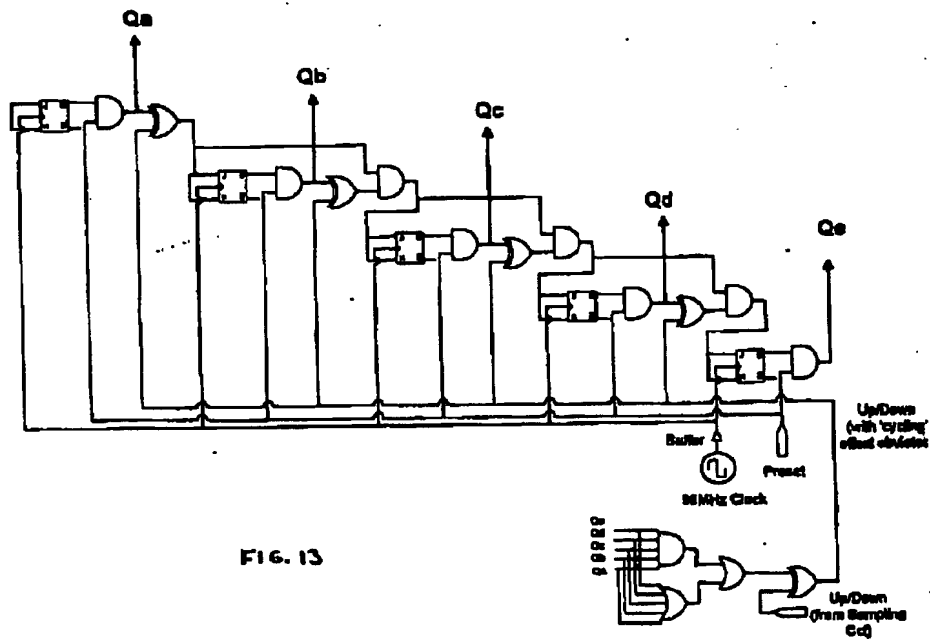


FIG. 13

【図 12】

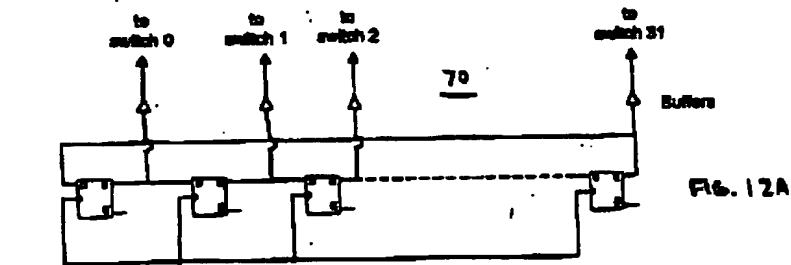


FIG. 12A

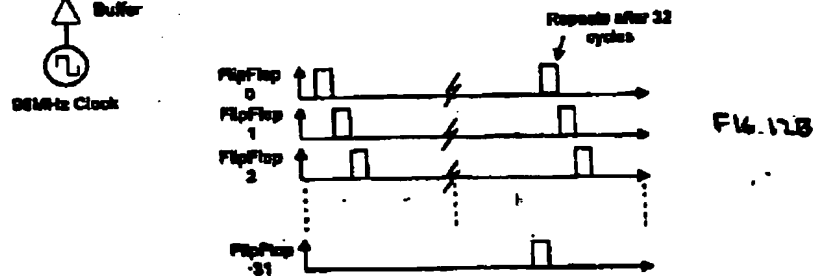


FIG. 12B

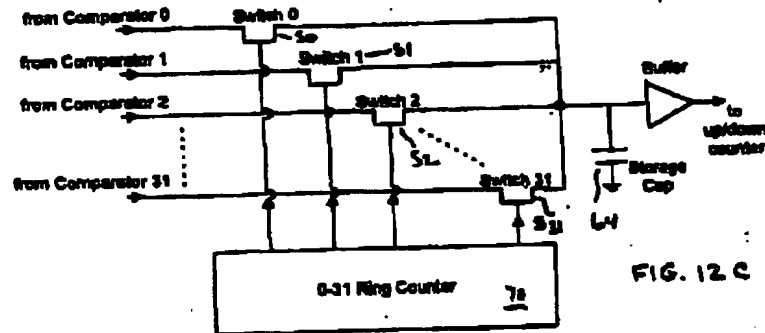


FIG. 12C

【図 14】

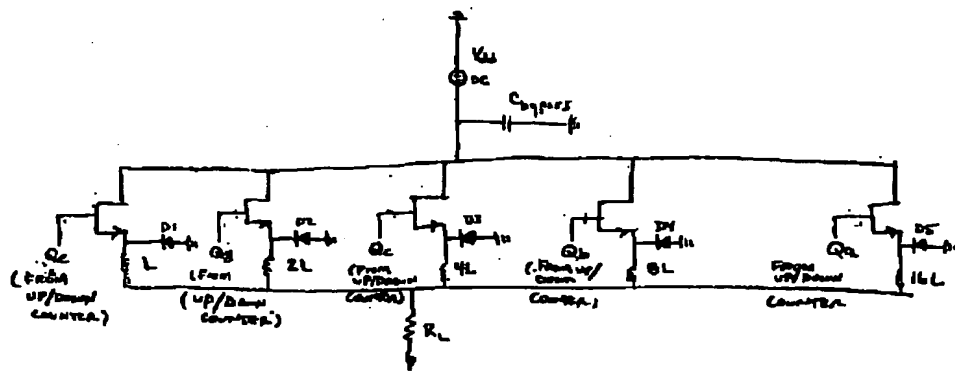


FIG. 14

【図 15】

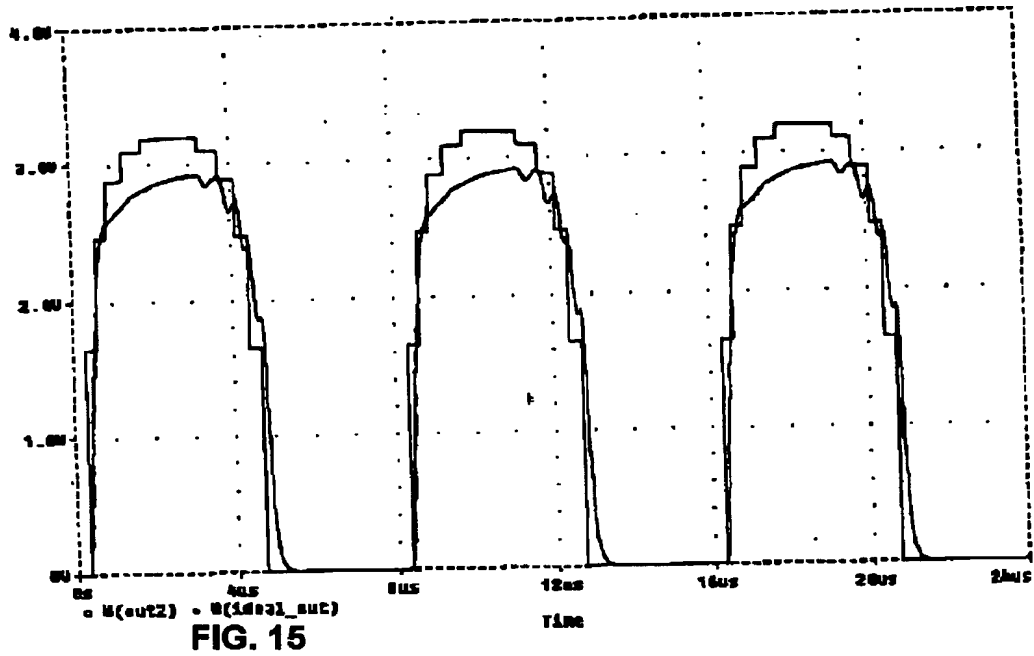
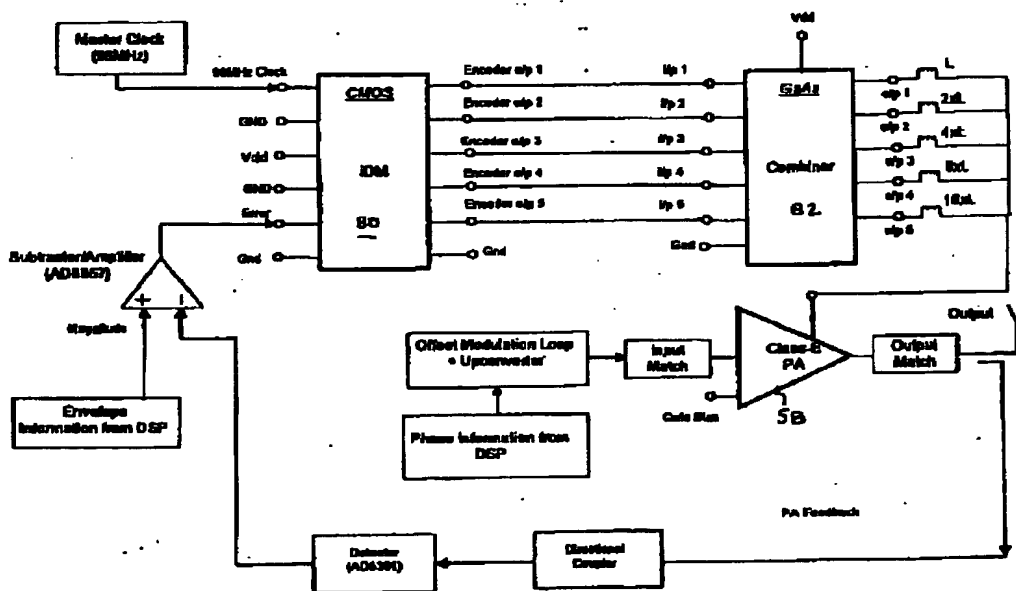


FIG. 15

【図 16】



フロントページの続き

(72)発明者 ピアス ジョセフ ネーグル
アイルランド国 コーク サウスダグラス
ロード ヒータートンパーク 19



THIS PAGE BLANK (USPTO)

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK